

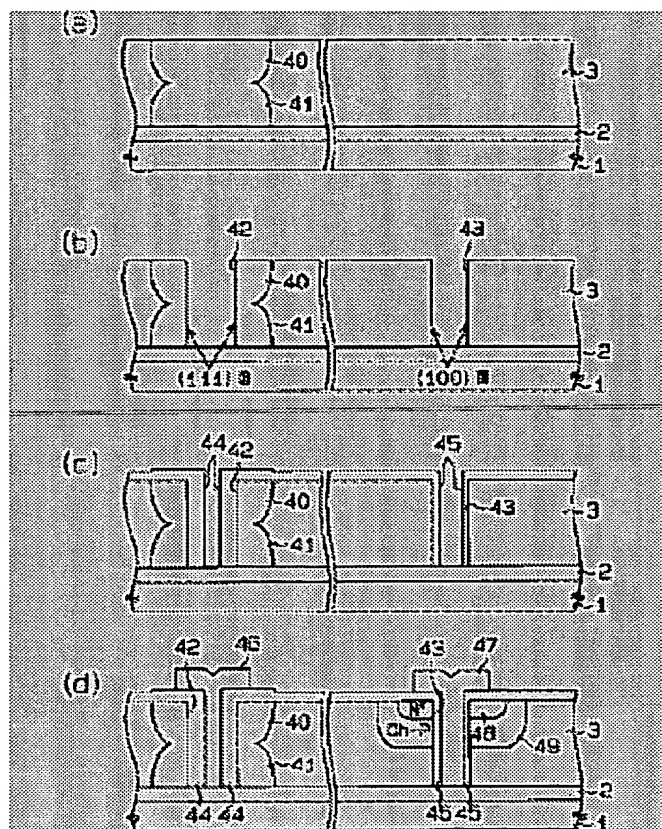
# METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

Patent number: JP2003017503  
Publication date: 2003-01-17  
Inventor: YAMAGUCHI HITOSHI; SAKAKIBARA JUN; NODA MICHITAKA  
Applicant: DENSO CORP  
Classification:  
- international: H01L21/336; H01L21/331; H01L29/732; H01L21/76; H01L21/762; H01L21/8222; H01L21/8249; H01L29/786; H01L27/06; H01L27/08  
- european:  
Application number: JP20010199919 20010629  
Priority number(s): JP20010199919 20010629

[Report a data error here](#)

## Abstract of JP2003017503

**PROBLEM TO BE SOLVED:** To reduce a process cost. **SOLUTION:** The dopant concentration of a scheduled region for forming the side surface of a trench for element isolation in an SOI layer 3 is made  $1 \times 10^{18} \text{ cm}^{-3}$  or higher and the dopant concentration of a scheduled region for forming the side surface of a gate trench in the trench gate type MOS transistor is made under  $1 \times 10^{18} \text{ cm}^{-3}$ . Next, by etching the SOI layer 3, the trench 42 for element isolation and the gate trench 43 of a trench gate type MOS transistor are formed simultaneously. Further a thick oxide film 44 on the side surface of the trench 42 for element isolation and a thin gate oxide 45 on the side surface of the gate trench 43 are formed simultaneously.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

## (12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2003-17503  
(P2003-17503A)

(43)公開日 平成15年1月17日(2003.1.17)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 21/336		H 0 1 L 27/08	3 3 1 A 5 F 0 0 3
21/331			3 3 1 E 5 F 0 3 2
21/76		29/78	6 1 7 V 5 F 0 4 8
21/762			6 2 1 5 F 0 8 2
21/8222			6 1 7 K 5 F 1 1 0

審査請求 未請求 請求項の数14 O L (全 17 頁) 最終頁に続く

(21)出願番号	特願2001-199919(P2001-199919)	(71)出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成13年6月29日(2001.6.29)	(72)発明者	山口 仁 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72)発明者	榊原 純 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(74)代理人	100068755 弁理士 恩田 博宣 (外1名)

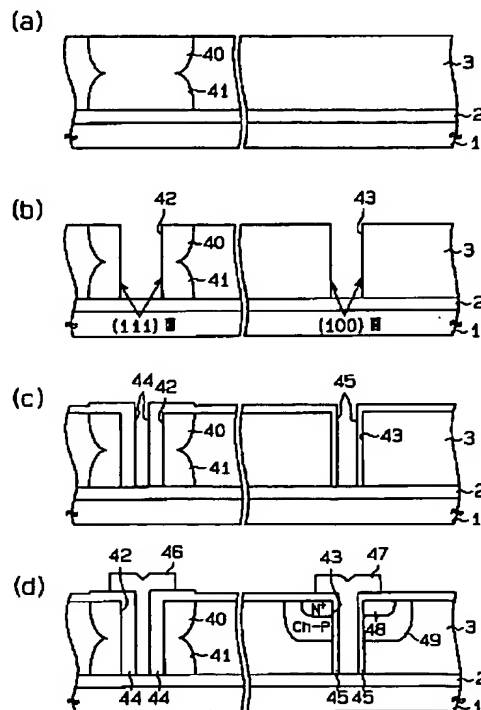
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法および半導体装置

## (57)【要約】

【課題】工程コストを下げることをできるようにする。

【解決手段】SOI層3における素子分離用トレンチの側面の形成予定領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以上にするとともにトレンチゲート型MOSトランジスタでのゲートトレンチの側面の形成予定領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 未満にする。その後、SOI層3をエッチングして素子分離用トレンチ42とトレンチゲート型MOSトランジスタのゲートトレンチ43を同時に形成する。さらに、素子分離用トレンチ42の側面に厚い酸化膜44を、また、ゲートトレンチ43の側面に薄いゲート酸化膜45を同時に形成する。



## 【特許請求の範囲】

【請求項 1】基板の上に絶縁膜を介して単結晶半導体層が形成されるとともに、単結晶半導体層において前記絶縁膜に達する素子分離用トレンチが形成され、このトレンチにて区画された素子形成島にトレンチゲート型 MOS トランジスタを形成した半導体装置の製造方法であって、

基板の上に絶縁膜を介して配置した単結晶半導体層における前記素子分離用トレンチの側面の形成予定領域の不純物濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  以上にするとともに前記トレンチゲート型 MOS トランジスタでのゲートトレンチの側面の形成予定領域の不純物濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  未満にする工程と、

単結晶半導体層をエッチングして素子分離用トレンチとトレンチゲート型 MOS トランジスタのゲートトレンチを同時に形成する工程と、

熱酸化により、素子分離用トレンチの側面に厚い酸化膜を、また、ゲートトレンチの側面に薄いゲート酸化膜を同時に形成する工程と、

ゲートトレンチ内でのゲート酸化膜の内方にゲート電極材料膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 2】基板の上に絶縁膜を介して単結晶半導体層が形成されるとともに、単結晶半導体層において前記絶縁膜に達する素子分離用トレンチが形成され、このトレンチにて区画された素子形成島にトレンチゲート型 MOS トランジスタを形成した半導体装置の製造方法であって、

基板の上に絶縁膜を介して配置した単結晶半導体層をエッチングして、側面が (111) 面または (110) 面となる素子分離用トレンチと、側面が (100) 面となるトレンチゲート型 MOS トランジスタのゲートトレンチを同時に形成する工程と、

熱酸化により、素子分離用トレンチの側面に厚い酸化膜を、また、ゲートトレンチの側面に薄いゲート酸化膜を同時に形成する工程と、

ゲートトレンチ内でのゲート酸化膜の内方にゲート電極材料膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 3】基板の上に絶縁膜を介して単結晶半導体層が形成されるとともに、単結晶半導体層において前記絶縁膜に達する素子分離用トレンチが形成され、このトレンチにて区画された素子形成島にトレンチゲート型 MOS トランジスタを形成した半導体装置の製造方法であって、

基板の上に絶縁膜を介して配置した単結晶半導体層における前記素子分離用トレンチの側面の形成予定領域の不純物濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  以上にするとともに前記トレンチゲート型 MOS トランジスタでのゲートトレンチの側面の形成予定領域の不純物濃度を  $1 \times 10^{18} \text{ cm}^{-3}$

未満にする工程と、

前記単結晶半導体層をエッチングして、側面が (111) 面または (110) 面となる素子分離用トレンチと、側面が (100) 面となるトレンチゲート型 MOS トランジスタのゲートトレンチを同時に形成する工程と、

熱酸化により、素子分離用トレンチの側面に厚い酸化膜を、また、ゲートトレンチの側面に薄いゲート酸化膜を同時に形成する工程と、

10 ゲートトレンチ内でのゲート酸化膜の内方にゲート電極材料膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 4】基板の上に絶縁膜を介して単結晶半導体層が形成されるとともに、単結晶半導体層において前記絶縁膜に達する素子分離用トレンチが形成され、このトレンチにて区画された素子形成島にトレンチゲート型 MOS トランジスタを形成した半導体装置の製造方法であって、

基板の上に絶縁膜を介して配置した単結晶半導体層をエッチングしてトレンチゲート型 MOS トランジスタのゲートトレンチ形成領域に単一のトレンチを、また、素子分離用トレンチ形成領域に複数のトレンチを、同時に形成する工程と、

前記素子分離用トレンチ形成領域に形成した複数のトレンチの側面に酸化膜を、また、ゲートトレンチ形成領域に形成したトレンチの側面にゲート酸化膜を同時に形成する工程と、

30 ゲートトレンチ形成領域に形成したトレンチ内でのゲート酸化膜の内方にゲート電極材料膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 5】基板の上に絶縁膜を介して単結晶半導体層が形成されるとともに、単結晶半導体層において前記絶縁膜に達する素子分離用トレンチが形成され、このトレンチにて区画された素子形成島にトレンチゲート型 MOS トランジスタを形成した半導体装置の製造方法であって、

基板の上に絶縁膜を介して配置した単結晶半導体層における前記素子分離用トレンチの側面の形成予定領域の不純物濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  以上にするとともに前記トレンチゲート型 MOS トランジスタでのゲートトレンチの側面の形成予定領域の不純物濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  未満にする工程と、

単結晶半導体層をエッチングして、トレンチゲート型 MOS トランジスタのゲートトレンチ形成領域に側面が (100) 面となる単一のトレンチを、また、素子分離用トレンチ形成領域に側面が (111) 面または (110) 面となるトレンチを複数並べたものを、同時に形成する工程と、

熱酸化により、前記素子分離用トレンチ形成領域に形成した複数のトレンチの側面に厚い酸化膜を、また、ゲ

トレンチ形成領域に形成したトレンチの側面に薄いゲート酸化膜を同時に形成する工程と、ゲートトレンチ形成領域に形成したトレンチ内でのゲート酸化膜の内方にゲート電極材料膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 6】基板の上に絶縁膜を介して単結晶半導体層が形成されるとともに、単結晶半導体層において前記絶縁膜に達する素子分離用トレンチが形成され、このトレンチにて区画された素子形成島にトレンチゲート型 MOS トランジスタを形成した半導体装置の製造方法であって、基板の上に絶縁膜を介して配置した単結晶半導体層をエッチングして素子分離用トレンチとトレンチゲート型 MOS トランジスタのゲートトレンチを同時に形成する工程と、素子分離用トレンチとトレンチゲート型 MOS トランジスタのゲートトレンチに対しゲートトレンチ側が完全に埋まり、素子分離用トレンチ側が埋まらないようにトレンチ側面の酸化膜とその内方の電極材料膜を形成する工程と、前記電極材料膜をエッチバックして、素子分離用トレンチの内部の電極材料膜を除去するとともにゲートトレンチの内部の電極材料膜を残す工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 7】基板の上に絶縁膜を介して単結晶半導体層が形成されるとともに、単結晶半導体層において前記絶縁膜に達する素子分離用トレンチが形成され、このトレンチにて区画された素子形成島にトレンチゲート型 MOS トランジスタを形成した半導体装置の製造方法であって、基板の上に絶縁膜を介して配置した単結晶半導体層をエッチングして素子分離用トレンチとトレンチゲート型 MOS トランジスタのゲートトレンチとドレイン領域用トレンチを同時に形成する工程と、素子分離用トレンチとトレンチゲート型 MOS トランジスタのゲートトレンチとドレイン領域用トレンチに対し側面に酸化膜を形成した後において素子分離用トレンチ内とドレイン領域用トレンチ内の酸化膜についてはウェットエッチング液が回り込み、ゲートトレンチ内の酸化膜についてはウェットエッチング液が回り込まないようにして素子分離用トレンチ内とドレイン領域用トレンチ内の酸化膜を除去する工程と、ゲートトレンチの内部およびドレイン領域用トレンチの内部に電極材料膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 8】基板の上に絶縁膜を介して単結晶半導体層が形成されるとともに、単結晶半導体層において前記絶縁膜に達する素子分離用トレンチが形成され、このトレンチにて区画された素子形成島にトレンチゲート型 MOS トランジスタを形成し、他の素子形成島にバイポーラ

トランジスタを形成した半導体装置の製造方法であって、基板の上に絶縁膜を介して配置した単結晶半導体層をエッチングして素子分離用トレンチとトレンチゲート型 MOS トランジスタのゲートトレンチとドレイン領域用トレンチとバイポーラトランジスタのコレクタ領域用トレンチを同時に形成する工程と、素子分離用トレンチとトレンチゲート型 MOS トランジスタのゲートトレンチとドレイン領域用トレンチとバイポーラトランジスタのコレクタ領域用トレンチに対し側面に酸化膜を形成した後において素子分離用トレンチ内とドレイン領域用トレンチ内とコレクタ領域用トレンチ内の酸化膜についてはウェットエッチング液が回り込み、ゲートトレンチ内の酸化膜についてはウェットエッチング液が回り込まないようにして素子分離用トレンチ内とドレイン領域用トレンチ内とコレクタ領域用トレンチ内の酸化膜を除去する工程と、ゲートトレンチの内部、ドレイン領域用トレンチの内部およびコレクタ領域用トレンチの内部に電極材料膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 9】基板の上に絶縁膜を介して単結晶半導体層が形成されるとともに、単結晶半導体層において前記絶縁膜に達する素子分離用トレンチが形成され、このトレンチにて区画された素子形成島にトレンチゲート型 MOS トランジスタを形成した半導体装置の製造方法であって、基板の上に絶縁膜を介して配置した単結晶半導体層をエッチングして素子分離用トレンチとトレンチゲート型 MOS トランジスタのゲートトレンチとドレイン領域用トレンチを同時に形成する工程と、素子分離用トレンチとトレンチゲート型 MOS トランジスタのゲートトレンチとドレイン領域用トレンチに対しドレイン領域用トレンチの内部のみが埋まるようにトレンチ側面に酸化膜を形成する工程と、ゲートトレンチの内部にゲート電極材料膜を形成するとともに、ドレイン領域用トレンチの内部の酸化膜を除去してから電極材料膜を充填する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 10】基板の上に絶縁膜を介して単結晶半導体層が形成されるとともに、単結晶半導体層において前記絶縁膜に達する素子分離用トレンチが形成され、このトレンチにて区画された素子形成島にトレンチゲート型 MOS トランジスタを形成し、他の素子形成島にバイポーラトランジスタを形成した半導体装置の製造方法であって、基板の上に絶縁膜を介して配置した単結晶半導体層をエッチングして素子分離用トレンチとトレンチゲート型 MOS トランジスタのゲートトレンチとドレイン領域用トレンチとバイポーラトランジスタのコレクタ領域用ト

ンチを同時に形成する工程と、

素子分離用トレンチとトレンチゲート型MOSトランジスタのゲートトレンチとドレイン領域用トレンチとパイポーラトランジスタのコレクタ領域用トレンチに対しドレイン領域用トレンチとコレクタ領域用トレンチの内部のみが埋まるようにトレンチ側面に酸化膜を形成する工程と、

ゲートトレンチの内部にゲート電極材料膜を形成するとともに、ドレイン領域用トレンチの内部およびコレクタ領域用トレンチの内部の酸化膜を除去してから電極材料膜を充填する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 11】請求項 1～10 のいずれか 1 項に記載の半導体装置の製造方法において、前記トレンチを形成する前に、単結晶半導体層におけるトレンチゲート型MOSトランジスタのチャネル領域およびソース領域となる部位に異方性ウェットエッチング或いはドライエッチングにより別のトレンチを形成し、エピタキシャル成長により前記別のトレンチ内に不純物ドーパント半導体層を形成してチャネル領域およびソース領域としたことを特徴とする半導体装置の製造方法。

【請求項 12】請求項 1～10 のいずれか 1 項に記載の半導体装置の製造方法において、前記トレンチを形成する前に、単結晶半導体層におけるトレンチゲート型MOSトランジスタのドリフト領域の一部、チャネル領域およびソース領域となる部位に異方性ウェットエッチング或いはドライエッチングにより別のトレンチを形成し、エピタキシャル成長により前記別のトレンチ内に不純物ドーパント半導体層を形成してドリフト領域の一部、チャネル領域およびソース領域としたことを特徴とする半導体装置の製造方法。

【請求項 13】請求項 1～10 のいずれか 1 項に記載の半導体装置の製造方法において、前記トレンチを形成する前に、単結晶半導体層におけるトレンチゲート型MOSトランジスタのドレイン領域、ドリフト領域、チャネル領域およびソース領域となる部位に異方性ウェットエッチング或いはドライエッチングにより別のトレンチを形成し、エピタキシャル成長により前記別のトレンチ内に不純物ドーパント半導体層を形成してドレイン領域、ドリフト領域、チャネル領域およびソース領域としたことを特徴とする半導体装置の製造方法。

【請求項 14】基板の上に絶縁膜を介して単結晶半導体層が形成されるとともに、単結晶半導体層において前記絶縁膜に達する素子分離用トレンチが形成され、このトレンチにて区画された素子形成島にトレンチゲート型MOSトランジスタを形成した半導体装置において、素子分離用トレンチ形成領域に複数のトレンチを並設するとともに、素子分離用の各トレンチの側面に、ゲートトレンチの側面に形成したゲート酸化膜と同一の酸化膜

を形成し、さらに、素子分離用の各トレンチの内部を、ゲートトレンチの内部のゲート電極材料膜と同一の膜で充填したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置の製造方法および半導体装置に関するものである。

【0002】

【従来の技術】SOI基板での半導体層における素子形成島にトレンチゲート型MOSトランジスタを形成することが知られている（特開平8-330601号公報、特開平8-204195号公報等）。

【0003】一般的にウエハ加工においてトレンチエッチングは工程負荷が大きくコストダウンを図りたいという要求がある。これに加えて、ドレイン、チャネル、ソースの各領域（不純物拡散領域）に関して、深い拡散層を基板表面からの拡散で形成していたので、電流を深さ方向に均一に流しにくいことに対する改善が求められている。

20 【0004】

【発明が解決しようとする課題】本発明はこのような背景の下になされたものであり、その第1の目的は、工程コストを下げるができるようにすることにある。第2の目的は、第1の目的に加えて電流を深さ方向に均一に流しやすくすることができるようにすることにある。

【0005】

【課題を解決するための手段】請求項 1～6 に記載の発明によれば、これまで素子分離用トレンチとゲートトレンチは厚い酸化膜と薄い酸化膜をそれぞれ形成する必要がある等の理由から、別々にエッチングして掘っていたが、本発明により素子分離用トレンチとゲートトレンチを同時に形成することができるようになる。ウエハ加工においてトレンチエッチングは工程負荷が大きく、本発明により大幅なコストダウンを図ることが可能となる。

【0006】また、請求項 4 に記載の製造方法により、請求項 14 に記載の半導体装置が得られる。請求項 7, 9 に記載の発明によれば、これまで素子分離用トレンチとゲートトレンチ及びドレイン領域用トレンチは、厚い酸化膜と薄い酸化膜、及び、酸化膜なしで電極材料膜（例えば、ポリシリコン膜）をそれぞれ形成する必要がある等の理由から、別々にエッチングして掘っていたが、この発明により素子分離用トレンチとゲートトレンチ及びドレイン領域用トレンチを同時に形成することができるようになる。ウエハ加工においてトレンチエッチングは工程負荷が大きく、本発明により大幅なコストダウンを図ることが可能となる。

【0007】請求項 8, 10 に記載の発明によれば、これまで素子分離用トレンチとゲートトレンチとドレイン領域用トレンチとコレクタ領域用トレンチは、厚い酸化膜と薄い酸化膜、及び、酸化膜なしで電極材料膜（例え

ば、ポリシリコン膜)をそれぞれ形成する必要がある等の理由から、別々にエッチングして掘っていたが、この発明により素子分離用トレンチとゲートトレンチとドレイン領域用トレンチとコレクタ領域用トレンチを同時に形成することができるようになる。ウエハ加工においてトレンチエッチングは工程負荷が大きく、本発明により大幅なコストダウンを図ることが可能となる。

【0008】請求項11～13に記載の発明によれば、請求項1～10に記載の発明の作用・効果に加え、トレンチゲート型MOSトランジスタのソース領域、チャネル領域、ドリフト領域或いはドレイン領域の形成方法として、トレンチを掘って半導体層をエピタキシャル成長させることにより、不純物濃度分布に関して深さ方向に均一な濃度分布が形成可能となり、電流の偏りが無い低オン抵抗なパワーMOSとすることが可能となる。

【0009】

【発明の実施の形態】(第1の実施の形態)以下、この発明を具体化した第1の実施の形態を図面に従って説明する。

【0010】図1に本実施形態における半導体装置の縦断面を示す。シリコン基板1の上にシリコン酸化膜(絶縁膜)2を介して薄い単結晶シリコン層(単結晶半導体層)3が形成され、SOI基板を構成している。SOI層である単結晶シリコン層3は(110)面を主面とし、厚さが1～100 $\mu\text{m}$ である。単結晶シリコン層3において、絶縁膜2に達する素子分離用トレンチ4が形成され、このトレンチ4にて多数の素子形成島が区画形成されている。素子分離用トレンチ4に関して、トレンチ4の側面にはシリコン酸化膜5が形成されるとともに、シリコン酸化膜5の内方にはポリシリコン膜6が充填されている。また、第1の素子形成島においてはCMOSトランジスタが形成され、第2の素子形成島においてはNPNトランジスタが形成され、第3の素子形成島においてはトレンチゲート型LDMOSトランジスタが形成されている。

【0011】CMOSトランジスタに関してNチャネルMOSとして、N型シリコン層3の表層部にはPウェル領域10が形成され、Pウェル領域10の表層部にはN型ソース領域11とN型ドレイン領域12が形成されている。また、Pウェル領域10の上にはゲート酸化膜(図示略)を介してゲート電極13が配置されている。一方、PチャネルMOSとして、N型シリコン層3の表層部にはP型ソース領域14とP型ドレイン領域15が形成され、さらに、N型シリコン層3の上にはゲート酸化膜(図示略)を介してゲート電極16が配置されている。なお、CMOSトランジスタの形成島において、N型シリコン層3にはN<sup>+</sup>埋込層17が形成されている。

【0012】NPNトランジスタに関して、N型シリコン層3の表層部にはPウェル領域20が形成され、Pウェル領域20の表層部にはN型エミッタ領域21とP<sup>+</sup>

ベース領域22が形成されている。また、N型シリコン層3の表層部にはN型コレクタ領域24とN<sup>+</sup>コンタクト領域25が形成されている。なお、NPNトランジスタの形成島において、N型シリコン層3にはN<sup>+</sup>埋込層23が形成されている。

【0013】トレンチゲート型MOSトランジスタの詳細を、図2に示す。図2において、N型シリコン層3にN<sup>+</sup>埋込層30が形成されている。N型シリコン層3において表層部にはチャネルPウェル領域(P型ベース領域)31が形成されるとともに、チャネルPウェル領域31での表層部にはP<sup>+</sup>コンタクト領域32とN型ソース領域33が形成されている。また、N型シリコン層3にはゲートトレンチ34が形成され、このゲートトレンチ34はN型シリコン層3の表面と平行をなす方向および深さ方向においてN型ソース領域33からチャネルPウェル領域31を貫通するように形成されている。ゲートトレンチ34の内壁面にはゲート酸化膜35が形成されるとともに、ゲート酸化膜35の内方にはポリシリコンゲート電極36が充填されている。また、N型シリコン層3でのチャネルPウェル領域31から離間した部位においてN<sup>+</sup>ドレイン領域37が形成されるとともにN<sup>+</sup>ドレイン領域37の表層部にはコンタクト用N<sup>+</sup>領域38が形成されている。

【0014】なお、シリコン層3のうち、N<sup>+</sup>埋込層30、チャネルPウェル領域31、P<sup>+</sup>コンタクト領域32、N型ソース領域33、N<sup>+</sup>ドレイン領域37、コンタクト用N<sup>+</sup>領域38、ゲートトレンチ34、ゲート酸化膜35が形成されていない領域がドリフト領域として用いられる。

【0015】そして、図3に示すように、ゲート電極36に所定の正電圧を印加すると、チャネルPウェル領域31のうちのゲートトレンチ34に隣接している部分全面においてゲート酸化膜35の近傍に電子が誘起されてチャネルが形成され、このチャネルを通じてソース領域33からドレイン領域37に横方向にドレイン電流が流れる。

【0016】次に、この種の半導体装置、即ち、SOI層にBiCMOS(NPNトランジスタとCMOS)とゲートトレンチ型パワーMOSトランジスタを集積した複合IC(CMOS論理素子、バイポーラ素子、パワー素子を有する誘電体分離型半導体集積回路)の製造方法を、特徴部分を中心に図4を用いて説明する。

【0017】まず、図4(a)に示すように、シリコン基板1の上にシリコン酸化膜2を介して(110)面を主面とする単結晶シリコン層3を配置する。このとき、予め素子分離用トレンチを形成する領域に $1 \times 10^{18} \text{ cm}^{-3}$ 以上のドーパント濃度を有する高濃度層40、41をSOI層3の上面と下面から形成しておく。このように、SOI層3における素子分離用トレンチの側面の形成予定領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以上にする

とともにトレンチゲート型MOSトランジスタでのゲートトレンチの側面の形成予定領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 未満にする。

【0018】そして、図4(b)に示すように、このSOI基板の主面から異方性エッチングを行い、側面が(111)面となる素子分離用トレンチ42と、側面が(100)面となるトレンチゲート型MOSトランジスタのゲートトレンチ43を同時に形成する。

【0019】なお、この時、パターン幅の設定によりローディング効果を利用して、ゲートトレンチ43を素子分離用トレンチ42よりも浅く形成するようにしてもよい。引き続き、このトレンチ側面に対しライトエッチ或いは犠牲酸化によりダメージ層を除去した後、図4

(c)に示すように、濃度差を利用した熱酸化(ゲート酸化)を行うことにより、素子分離用トレンチ42の側面に厚い酸化膜44を形成し、同時にゲートトレンチ43の側面に薄い酸化膜(ゲート酸化膜)45を形成する。厚い酸化膜44とは100~300nmであり、薄い酸化膜45とは50~150nmである。

【0020】さらに、図4(d)に示すように、不純物ドーパントポリシリコン膜(符号46, 47)を成膜するとともにエッチバック及びパターニングする。これにより、トレンチ42, 43内に不純物ドーパントポリシリコン膜46, 47が配置される(埋め込まれる)。このようにしてゲートトレンチ43内でのゲート酸化膜45の内方にゲート電極材料膜としての不純物ドーパントポリシリコン膜47を形成する。さらに、イオン注入と拡散によりDMOSのソース/チャネル領域48, 49を形成する。

【0021】このようにして、これまで素子分離用トレンチとゲートトレンチは厚い酸化膜と薄い酸化膜をそれぞれ形成する必要から、別々にエッチングして掘っていたが、本実施形態では素子分離用トレンチ42とゲートトレンチ43を同時に形成することができるようになる。ウエハ加工においてトレンチエッチングは工程負荷が大きく、本実施形態により大幅なコストダウンを図ることが可能となる。

【0022】なお、素子分離用トレンチとゲートトレンチを同時に形成する手法として、不純物濃度管理と結晶面管理を、それぞれ単独に行ってもよい。即ち、不純物濃度を管理する製造方法として、SOI層3における素子分離用トレンチの側面の形成予定領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以上にするとともにトレンチゲート型MOSトランジスタでのゲートトレンチの側面の形成予定領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 未満にし、その後、SOI層3をエッチングして素子分離用トレンチ42とトレンチゲート型MOSトランジスタのゲートトレンチ43を同時に形成し、さらに、濃度差を利用した熱酸化により素子分離用トレンチ42の側面に厚い酸化膜44を、また、ゲートトレンチ43の側面に薄いゲ

ト酸化膜45を同時に形成する。そして、ゲートトレンチ43内でのゲート酸化膜45の内方にゲート電極材料膜47を形成する。一方、結晶面を管理する製造方法として、SOI層3をエッチングして、側面が(111)面となる素子分離用トレンチ42と、側面が(100)面となるトレンチゲート型MOSトランジスタのゲートトレンチ43を同時に形成し、その後、面方位の違いを利用した熱酸化により素子分離用トレンチ42の側面に厚い酸化膜44を、また、ゲートトレンチ43の側面に薄いゲート酸化膜45を同時に形成する。そして、ゲートトレンチ43内でのゲート酸化膜45の内方にゲート電極材料膜47を形成する。

【0023】また、図5に示すように(110)基板を用いて側面が(111)となる素子分離用トレンチと側面が(100)となるゲートトレンチを形成したが、図6に示すように、(100)基板を用い、側面が(110)となる素子分離用トレンチと側面が(100)となるゲートトレンチとなるようにレイアウト(配置)することによっても同様の効果が得られる。特に、図6の場合には、(100)基板を使うので、SOI層の主表面にプレーナ型のCMOSを容易に形成できるようになる。

(第2の実施の形態)次に、第2の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0024】図7(a)に示すように、シリコン基板1の上にシリコン酸化膜2を介して単結晶シリコン層3を配置する。そして、SOI層3をエッチングしてトレンチゲート型MOSトランジスタのゲートトレンチ形成領域に単一のトレンチ50を、また、素子分離用トレンチ形成領域に複数のトレンチ51を、同時に形成する。図7ではトレンチ51の幅はゲートトレンチ形成領域のトレンチ50の幅と同じである。また、図7ではトレンチ51は3本設けている。

【0025】さらに、図7(b)に示すように、熱酸化(ゲート酸化)を行うことにより、素子分離用トレンチ形成領域に形成した複数のトレンチ51の側面にシリコン酸化膜52を、また、ゲートトレンチ形成領域に形成したトレンチ50の側面にゲート酸化膜53を同時に形成する。

【0026】その後、図7(c)に示すように、不純物ドーパントポリシリコン膜(符号54, 55)の成膜およびエッチバックを行う。これにより、素子分離用トレンチ形成領域に形成した複数のトレンチ51内に不純物ドーパントポリシリコン膜54が、また、ゲートトレンチ形成領域に形成したトレンチ50内に不純物ドーパントポリシリコン膜55が同時に形成される(配置される)。このようにしてゲートトレンチ形成領域に形成したトレンチ50内でのゲート酸化膜53の内方にゲート電極材料膜としての不純物ドーパントポリシリコン膜55が形成される。

【0027】その結果、半導体装置の構造として、素子分離用トレンチ形成領域に複数のトレンチ51を並設するとともに、素子分離用の各トレンチ51の側面に、ゲートトレンチ50の側面に形成したゲート酸化膜53と同一の酸化膜52を形成し、さらに、素子分離用の各トレンチ51の内部を、ゲートトレンチ50の内部のポリシリコンゲート電極（ゲート電極材料膜）55と同一のポリシリコン膜54で充填したものが得られる。

【0028】このようにして、これまで素子分離用トレンチとゲートトレンチは別々にエッチングして掘っていたが、本実施形態により素子分離用トレンチとゲートトレンチを同時に形成することができるようになる。ウエハ加工においてトレンチエッチングは工程負荷が大きく、本実施形態により大幅なコストダウンを図ることが可能となる。

【0029】また、3本のゲートトレンチ（図7（c）において符号51で示すトレンチ）を並設して素子分離用トレンチを構成することにより、ゲート耐圧の6倍の耐圧（素子分離耐圧）を持たせることができる。具体的には、ゲート耐圧を10ボルト以上、素子分離耐圧を60ボルト以上にすることが可能となる。

【0030】なお、トレンチ51の幅はゲートトレンチ形成領域のトレンチ50の幅と異なってもよく、また、トレンチ51の本数は3本以外の任意の数でもよい。第1と第2の実施形態を組み合わせる実施してもよい。つまり、SOI層3における素子分離用トレンチの側面の形成予定領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以上にするとともにトレンチゲート型MOSトランジスタでのゲートトレンチの側面の形成予定領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 未満にし、その後、SOI層3をエッチングして、トレンチゲート型MOSトランジスタのゲートトレンチ形成領域に側面が（110）面となる単一のトレンチ50を、また、素子分離用トレンチ形成領域に側面が（111）面または（110）面となるトレンチ51を複数並べたものを、同時に形成し、さらに、熱酸化により素子分離用トレンチ形成領域に形成した複数のトレンチ51の側面に厚い酸化膜を、また、ゲートトレンチ形成領域に形成したトレンチ50の側面に薄いゲート酸化膜を同時に形成する。そして、ゲートトレンチ形成領域に形成したトレンチ50内でのゲート酸化膜の内方にゲート電極材料膜55を形成する。

（第3の実施の形態）次に、第3の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0031】図8（a）に示すように、シリコン基板1の上にシリコン酸化膜2を介して単結晶シリコン層3を配置する。そして、図8（b）に示すように、異方性ドライエッチングによりSOI層3に素子分離用トレンチ60とトレンチゲート型MOSトランジスタのゲートトレンチ61を同時に形成する。ここで、例えば、素子分離用トレンチ60の幅を $2 \mu\text{m}$ とし、ゲートトレンチ6

1の幅を $0.5 \mu\text{m}$ とする。

【0032】このトレンチ60、61の側面に対しライトエッチング或いは犠牲酸化によりダメージ層を除去した後、図8（c）に示すように、素子分離用トレンチ60とゲートトレンチ61に対しトレンチ側面に酸化膜62を形成するとともに、その内方に不純物ドーフトポリシリコン膜（電極材料膜）63をデポする。この際、トレンチ幅の違いから、ゲートトレンチ61側が完全に埋まり、素子分離用トレンチ60側が埋まらないようにする（ポリシリコン膜厚及びトレンチ幅を設計する）。ここで、例えば、酸化膜62の膜厚は $50 \sim 150 \text{ nm}$ であり、不純物ドーフトポリシリコン膜63の膜厚は $0.3 \sim 1.0 \mu\text{m}$ である。

【0033】引き続き、不純物ドーフトポリシリコン膜63をエッチバックして、図9（a）に示すように、SOI層3の上面および素子分離用トレンチ60の内部の不純物ドーフトポリシリコン膜63を除去するとともにゲートトレンチ61の内部の不純物ドーフトポリシリコン膜63を残す。そして、図9（b）に示すように、CVD酸化膜のデポ及びエッチバックにより、素子分離用トレンチ60の内部を酸化膜64で埋め込む。さらに、イオン注入と拡散によりDMOSのチャネルP領域65やN<sup>+</sup>ソース領域66等を形成する。

【0034】なお、電極材料膜として不純物ドーフトポリシリコン膜63の代わりに金属膜を用いてもよい。このように、素子分離用トレンチ60とゲートトレンチ61に酸化膜62を形成し、その上にポリシリコン膜63を成長させる際に、トレンチ幅の違いからゲートトレンチ61側は埋め込まれ、素子分離用トレンチ60側は埋め込まれないようにポリシリコン膜厚及びトレンチ幅を設計し、この後のポリシリコンエッチバック工程により素子分離用トレンチ60側のみポリシリコン膜63を除去し、酸化膜64を埋め込む。その結果、これまで素子分離用トレンチとゲートトレンチは別々にエッチングして掘っていたが、本実施形態により素子分離用トレンチ60とゲートトレンチ61を同時に形成することができるようになる。ウエハ加工においてトレンチエッチングは工程負荷が大きく、本実施形態により大幅なコストダウンを図ることが可能となる。

（第4の実施の形態）次に、第4の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0035】本実施の形態においては、図1での素子分離用トレンチとトレンチゲート型MOSトランジスタのゲートトレンチとN型ドレイン領域とNPNトランジスタのN型コレクタ領域をより簡便に形成することができるようにしたものである。この手法は、素子分離用トレンチとトレンチゲート型MOSトランジスタのゲートトレンチとドレイン領域をより簡便に形成しようとする場合に適用してもよい（例えば、バイポーラトランジスタが集積化されていない場合）。

【0036】図10(a)に示すように、SOI基板のSOI層3に対し、その上面にパターンニングしたシリコン酸化膜70を配置し、このシリコン酸化膜70をマスクとしてSOI層3をエッチングして素子分離用トレンチ71とトレンチゲート型MOSトランジスタのゲートトレンチ72とドレイン領域用トレンチ73(図示は省略したがバイポーラトランジスタのコレクタ領域用トレンチもトレンチ73と同様)を同時に形成する。

【0037】そして、図10(b)に示すように、各トレンチに対し側面に酸化膜74を形成する。その後、ウェットエッチングにより不要箇所の酸化膜74を除去する。このウェットエッチングにおいて、図10(c)に示すように、素子分離用トレンチ71内とドレイン領域用トレンチ(コレクタ領域用トレンチも同様)73内の酸化膜74についてはウェットエッチング液が回り込み、ゲートトレンチ72内の酸化膜74についてはウェットエッチング液が回り込まないようにしてトレンチ71と73内の酸化膜74を除去する。即ち、図10(a)でのトレンチ形成工程においてゲートトレンチ72の幅を細い寸法とする。

【0038】さらに、図10(d)に示すように、トレンチ内を含むSOI層3の上面に電極材料膜としての不純物ドーパントポリシリコン膜(または金属膜)75を成膜する。このとき、ゲートトレンチ72の内部およびドレイン領域用トレンチ(コレクタ領域用トレンチも同様)73の内部が埋まり、素子分離用トレンチ71の内部が埋まらないようにする。そして、図11(a)に示すように、CVD酸化膜76を形成して素子分離用トレンチ71の内部をCVD酸化膜76で埋め込む。

【0039】引き続き、図11(b)に示すように、酸化膜76のエッチバックまたはCMPで平坦化する。さらに、図11(c)に示すように、熱処理をすることにより、ドレイン領域用トレンチ(コレクタ領域用トレンチも同様)73の内部の不純物ドーパントポリシリコン膜75における不純物と素子分離用トレンチ71の内部の不純物ドーパントポリシリコン膜75における不純物をシリコン層3に拡散させる。これにより、N型のドレイン領域78(コレクタ領域も同様)が形成される。

【0040】このように本実施形態によれば、これまで素子分離用トレンチとゲートトレンチとドレイン領域用トレンチとコレクタ領域用トレンチは、厚い酸化膜と薄い酸化膜、及び、酸化膜なしで不純物ドーパントポリシリコン膜をそれぞれ形成する必要から、別々にエッチングして掘っていたが、この実施形態により素子分離用トレンチ71とゲートトレンチ72とドレイン領域用トレンチ73とコレクタ領域用トレンチを同時に形成することができるようになる。ウェハ加工においてトレンチエッチングは工程負荷が大きく、本実施形態により大幅なコストダウンを図ることが可能となる。

【0041】別の例として次のようにしてもよい。図1

0(d)の状態から不純物ドーパントポリシリコン膜75をエッチバックしてトレンチ71内の不純物ドーパントポリシリコン膜75を除去し、引き続き、図12(a)に示すように、CVD酸化膜76を形成して素子分離用トレンチ71内をCVD酸化膜76で埋め込む。そして、図12(b)に示すように、酸化膜76のエッチバックまたはCMPで平坦化する。さらに、図12(c)に示すように、熱処理をすることによりN型のドレイン領域78(コレクタ領域も同様)を形成する。

10 (第5の実施の形態)次に、第5の実施の形態を、第4の実施の形態との相違点を中心に説明する。

【0042】図13(a)に示すように、SOI基板のSOI層3に対しパターンニングした酸化膜80をマスクとして用いてSOI層3をエッチングして素子分離用トレンチ81とトレンチゲート型MOSトランジスタのゲートトレンチ82とドレイン領域用トレンチ83(図示は省略したがバイポーラトランジスタのコレクタ領域用トレンチもトレンチ83と同様)を同時に形成する。

20 【0043】そして、図13(b)に示すように、各トレンチに対しドレイン領域用トレンチ83(コレクタ領域用トレンチも同様)の内部のみが埋まるようにトレンチ側面に酸化膜84を形成する。換言すれば、そうなるように各トレンチの幅を設計する。さらに、図13(c)に示すように、ゲートトレンチ82の内部が埋まり、素子分離用トレンチ81の内部が埋まらないように不純物ドーパントポリシリコン膜(ゲート電極材料膜)85を成膜する。換言すれば、そうなるようにゲートトレンチ82の幅と不純物ドーパントポリシリコン膜85の膜厚を設計する。そして、図13(d)に示すように、エッチバックすると、トレンチ82内には不純物ドーパントポリシリコン膜85が残り、トレンチ81内からは除去される。

30 (c)に示すように、ゲートトレンチ82の内部が埋まり、素子分離用トレンチ81の内部が埋まらないように不純物ドーパントポリシリコン膜(ゲート電極材料膜)85を成膜する。換言すれば、そうなるようにゲートトレンチ82の幅と不純物ドーパントポリシリコン膜85の膜厚を設計する。そして、図13(d)に示すように、エッチバックすると、トレンチ82内には不純物ドーパントポリシリコン膜85が残り、トレンチ81内からは除去される。

【0044】引き続き、図14(a)に示すように、CVD酸化膜86をデポして素子分離用トレンチ81の内部をCVD酸化膜86で埋め込む。そして、CVD酸化膜86のエッチバックまたはCMPで平坦化する。さらに、図14(b)に示すように、ウェットエッチングによりドレイン領域用トレンチ83(コレクタ領域用トレンチについても同様)の内部の酸化膜を除去する。そして、図14(c)に示すように、ドレイン領域用トレンチ83(コレクタ領域用トレンチについても同様)の内部に金属膜(電極材料膜)87を充填する。即ち、金属膜87を埋め込んでドレイン・コレクタ電極とする。

40 【0045】このように本実施形態によっても、素子分離用トレンチ81とゲートトレンチ82とドレイン領域用トレンチ83とコレクタ領域用トレンチを同時に形成することができるようになる。

50 【0046】本実施形態においても、素子分離用トレンチとトレンチゲート型MOSトランジスタのゲートトレンチとドレイン領域をより簡便に形成しようとする場合

に適用してもよい（例えば、バイポーラトランジスタが集積化されていない場合）。

（第6の実施の形態）次に、第6の実施の形態を、第1～第5の実施の形態との相違点を中心に説明する。

【0047】本実施の形態は、第1～第5の実施の形態での各製造方法に加えて、図1でのトレンチゲート型MOSトランジスタのチャネル領域とソース領域の製造方法に特徴がある。図1に代わる本実施形態における半導体装置を図15に示す。図15の半導体装置におけるトレンチゲート型MOSトランジスタは図16に示す構成となっている。

【0048】図16において、(110)面を主面とするN型シリコン層（厚さ1～100 $\mu$ m）3にチャネルP領域92が形成されるとともに、チャネルP領域92での表面側（内部側）にN<sup>+</sup>ソース領域93が形成されている。このチャネルP領域92とN<sup>+</sup>ソース領域93には、エピタキシャル成長による不純物ドーパントシリコン層を用いている。また、チャネルP領域92の表層部にはP<sup>+</sup>コンタクト領域94が形成されている。さらに、N型シリコン層3（及び埋め込んでエピ層）にはゲートトレンチ95が形成され、ゲートトレンチ95の側面にはゲート酸化膜96が形成されるとともに、ゲート酸化膜96の内方にはポリシリコンゲート電極97が充填されている。N型シリコン層3でのチャネルP領域92から離間した部位においてN<sup>+</sup>ドレイン領域91が形成されている。

【0049】次に、製造方法について説明する。図17（a）に示すように、N<sup>+</sup>シリコン基板100の表層部にi層101を形成する。そして、図17（b）に示すように、イオン注入と熱拡散によりシリコン基板100に深い拡散領域（ $1 \times 10^{18} \text{ cm}^{-3}$ 以上のドーパント濃度）102を形成するとともに所定領域に浅い拡散領域（埋込N<sup>+</sup>層）103を形成する。さらに、図17

（c）に示すように、この基板100の上下を逆にし、シリコン基板104の上に絶縁膜105を介してシリコン基板100を貼り合わせる。そして、シリコン基板100を薄膜化することにより、SOI基板が得られる。

【0050】引き続き、図18（a）に示すように、SOI層100に対し異方性ウェットエッチング（例えばTMAHエッチ）またはドライエッチングを行いトレンチ106を形成する。トレンチ106を形成する領域は、トレンチゲート型MOSトランジスタのチャネル領域およびソース領域となる部位である。さらに、図18（b）に示すように、連続したエピタキシャル成長にてトレンチ106内にチャネルP領域（エピ拡散層）107とN<sup>+</sup>ソース領域（エピ拡散層）108を形成し、引き続き、CMP（研磨）により表面を平坦化する。

【0051】その後、図18（c）に示すように、イオン注入と熱拡散によりシリコン層100に対し深いN<sup>+</sup>拡散領域102に達する拡散領域110を形成する。さ

らに、図19（a）に示すように、各トレンチ（素子分離用トレンチ111a、ゲートトレンチ111b）を形成するとともに各トレンチ内に酸化膜112を介してポリシリコン膜113を充填する。即ち、SOI基板の主面から、側面が（111）となる素子分離用トレンチ111aと、側面が（100）となるゲートトレンチ111bを異方性ドライエッチングにより同時に形成し、このトレンチ側面に対しライトエッチ或いは犠牲酸化によりダメージ層を除去した後、ゲート酸化を行うことにより、素子分離用トレンチ側の酸化膜を100nm～300nm形成し、同時にゲートトレンチ側の酸化膜を50～150nm形成する。そして、トレンチ内に不純物ドーパントポリシリコン膜を埋め込み、エッチバック及びパターニングによりゲート電極を形成する。

【0052】そして、図19（b）に示すように、所望の拡散処理を行う。即ち、表面からのイオン注入、拡散によりCMOSとバイポーラトランジスタとトレンチゲートLDMOSの拡散層を形成する。この図19（b）においてSOI層3でのバイポーラトランジスタとCMOSの底部に、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上のドーパント濃度を有する領域101、103が在る。

【0053】このように、第1～第5の実施の形態での各製造方法に加えて、素子分離用トレンチとゲートトレンチを形成する前に、単結晶半導体層3におけるトレンチゲート型MOSトランジスタのチャネル領域およびソース領域となる部位に異方性ウェットエッチング或いはドライエッチングにより別のトレンチ106を形成し、連続したエピタキシャル成長によりトレンチ106内に不純物ドーパントシリコン層（不純物ドーパント半導体層）107、108を形成してチャネル領域およびソース領域とした。よって、トレンチゲート型MOSトランジスタ（横型トレンチゲートパワーMOS）のソース領域、チャネル領域の形成方法として、トレンチを掘って半導体層をエピタキシャル成長させることにより、不純物濃度分布に関して深さ方向に均一な濃度分布が形成可能となり、電流の偏りがない低オン抵抗なパワーMOSとすることが可能となる。また、チャネル領域やソース領域をイオン注入による不純物拡散層で形成する場合には拡散層の横拡がりにより占有面積が大きくなりやすいが、エピ層にて構成すると小型化することが可能となる。

【0054】別の例として、図20に示すように、トレンチゲートLDMOSにおけるドレイン領域150を、図10、11を用いて説明した手法を利用して図20のトレンチ151内の不純物ドーパントポリシリコン膜152での不純物を熱処理により拡散させることにより形成してもよい。このようにすると、図15での上下両面からのイオン注入によりドレイン領域91を形成する場合に比べ、横方向のドレイン領域の拡がりを抑えることが可能となり素子の小型化を図ることができる。

【0055】他の別例として、図21に示すように、素

子分離用トレンチとゲートトレンチを形成する前に、S O I 層 3 におけるトレンチゲート型 MOS トランジスタのドリフト領域の一部（符号 120 で表す箇所）、チャネル領域（符号 92 で表す箇所）およびソース領域（符号 93 で表す箇所）となる部位に異方性ウェットエッチング或いはドライエッチングにより別のトレンチ 121 を形成し、連続したエピタキシャル成長によりトレンチ 121 内に不純物ドーパド半導体層 120、92、93 を形成してドリフト領域の一部、チャネル領域およびソース領域としてもよい。なお、エピ成長後は CMP により表面を平坦化する。

【0056】あるいは、図 22 に示すように、素子分離用トレンチとゲートトレンチを形成する前に、単結晶半導体層におけるトレンチゲート型 MOS トランジスタのドレイン領域（符号 130 で表す箇所）、ドリフト領域（符号 131 で表す箇所）、チャネル領域（符号 92 で表す箇所）およびソース領域（符号 93 で表す箇所）となる部位に異方性ウェットエッチング或いはドライエッチングにより別のトレンチ 132 を形成し、連続したエピタキシャル成長によりトレンチ 132 内に不純物ドーパド半導体層 130、131、92、93 を形成してドレイン領域、ドリフト領域、チャネル領域およびソース領域としてもよい。なお、エピ成長後は CMP により表面を平坦化する。

【図面の簡単な説明】

【図 1】実施の形態における半導体装置の縦断面図。

【図 2】パワートランジスタの詳細図。

【図 3】パワートランジスタの動作説明のための図。

【図 4】第 1 の実施の形態での製造工程を説明するための縦断面図。

【図 5】面方位を説明するための図。

【図 6】面方位を説明するための図。

【図 7】第 2 の実施の形態での製造工程を説明するための縦断面図。

【図 8】第 3 の実施の形態での製造工程を説明するための縦断面図。

【図 9】第 3 の実施の形態での製造工程を説明するための縦断面図。

【図 10】第 4 の実施の形態での製造工程を説明するための縦断面図。

【図 11】第 4 の実施の形態での製造工程を説明するための縦断面図。

【図 12】別例の製造工程を説明するための縦断面図。

【図 13】第 5 の実施の形態での製造工程を説明するための縦断面図。

【図 14】第 5 の実施の形態での製造工程を説明するための縦断面図。

【図 15】実施の形態における半導体装置の縦断面図。

【図 16】パワートランジスタの詳細図。

【図 17】第 6 の実施の形態での製造工程を説明するための縦断面図。

【図 18】第 6 の実施の形態での製造工程を説明するための縦断面図。

【図 19】第 6 の実施の形態での製造工程を説明するための縦断面図。

【図 20】別例の半導体装置の縦断面図。

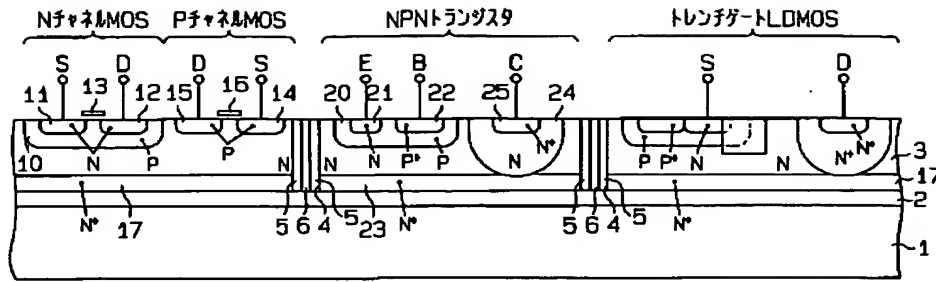
【図 21】実施の形態におけるパワートランジスタの縦断面図。

【図 22】実施の形態におけるパワートランジスタの縦断面図。

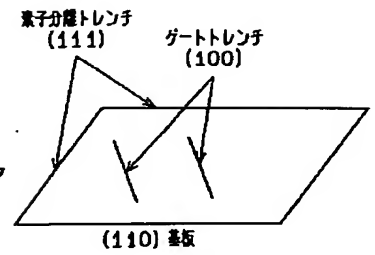
【符号の説明】

1…シリコン基板、2…シリコン酸化膜、3…単結晶シリコン層、40…高濃度層、41…高濃度層、42…素子分離用トレンチ、43…ゲートトレンチ、44…酸化膜、45…ゲート酸化膜、50…トレンチ、51…ゲートトレンチ、52…酸化膜、53…ゲート酸化膜、60…素子分離用トレンチ、61…ゲートトレンチ、62…酸化膜、63…ポリシリコン膜、71…素子分離用トレンチ、72…ゲートトレンチ、73…ドレイン領域用トレンチ、74…酸化膜、75…不純物ドーパドポリシリコン膜、81…素子分離用トレンチ、82…ゲートトレンチ、83…ドレイン領域用トレンチ、84…酸化膜、85…不純物ドーパドポリシリコン膜、87…金属電極膜、92…チャネル領域、93…ソース領域、106…トレンチ、107…エピ層（チャネル領域）、108…エピ層（ソース領域）、120…エピ層（ドリフト領域の一部）、121…トレンチ、130…エピ層（ドレイン領域）、131…エピ層（ドリフト領域）、132…トレンチ。

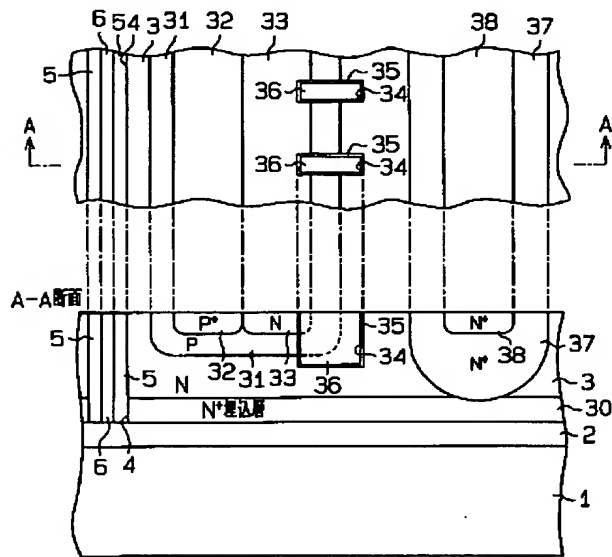
【図1】



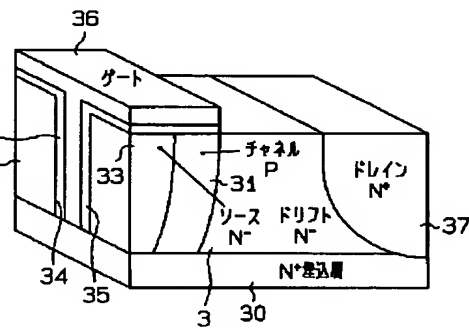
【図5】



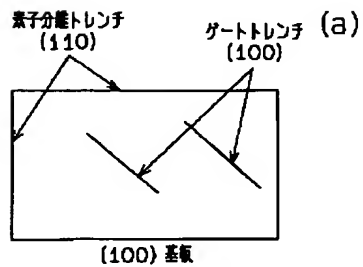
【図2】



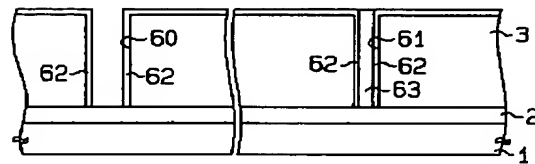
【図3】



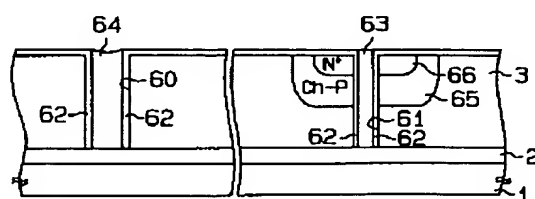
【図6】



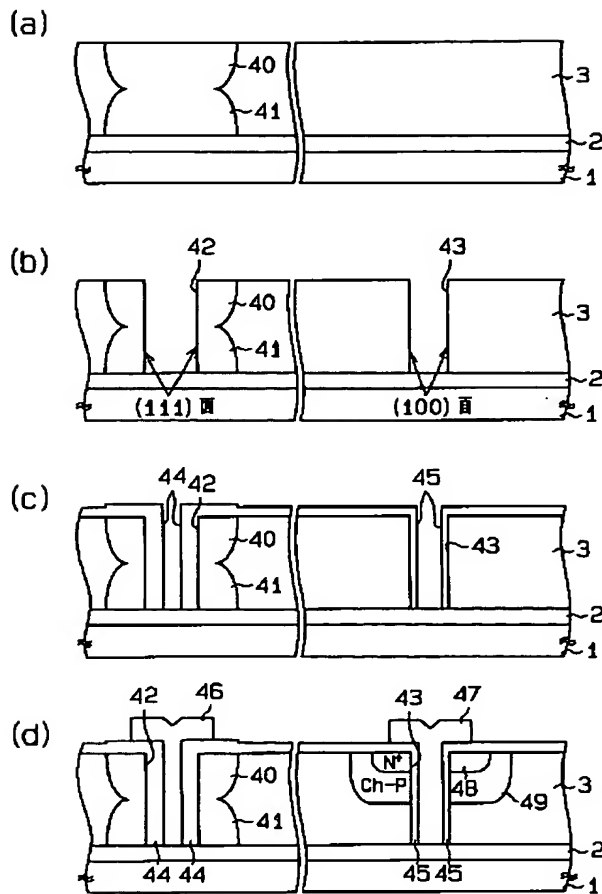
【図9】



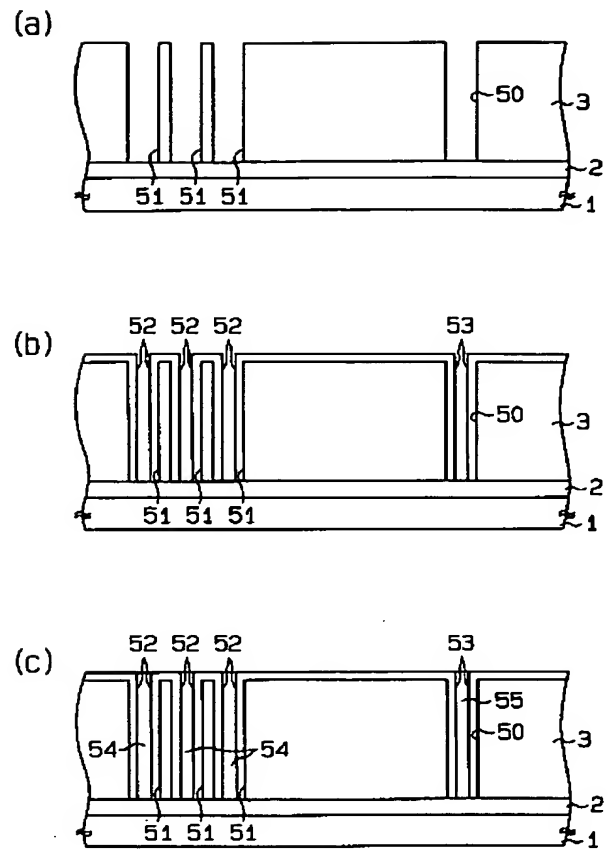
(b)



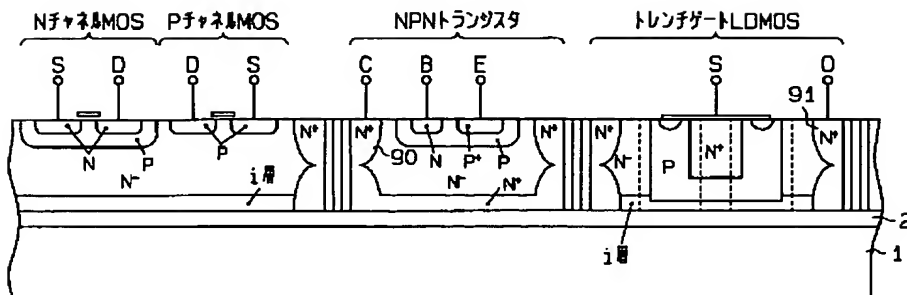
【図4】



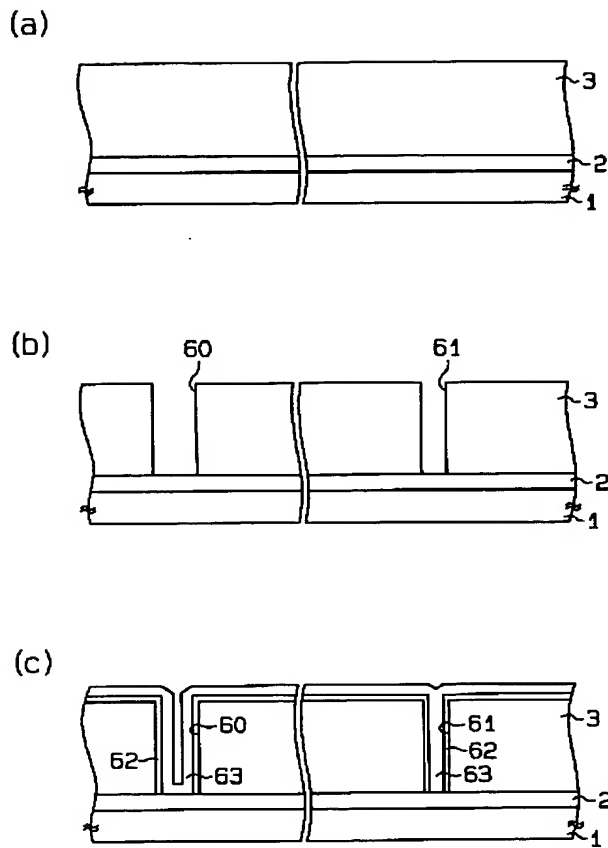
【図7】



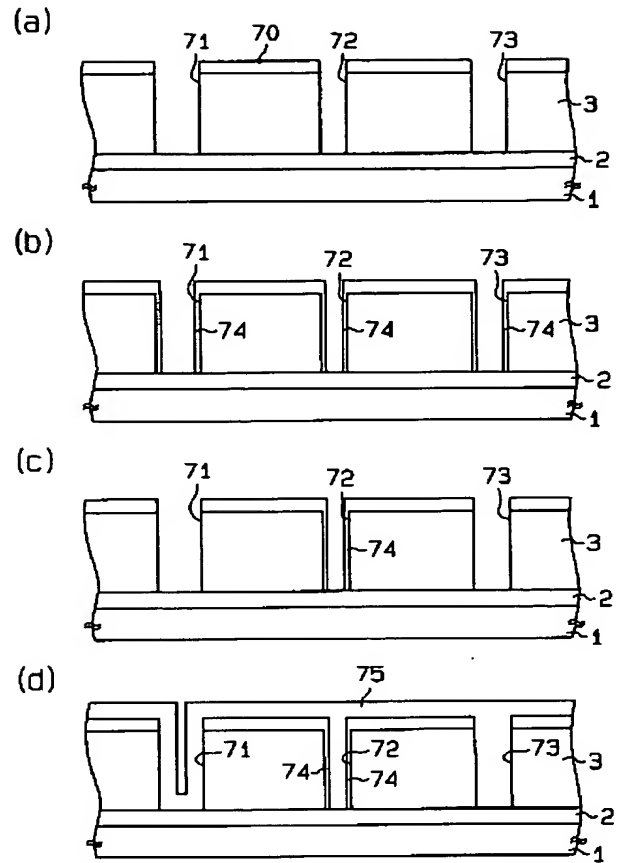
【図15】



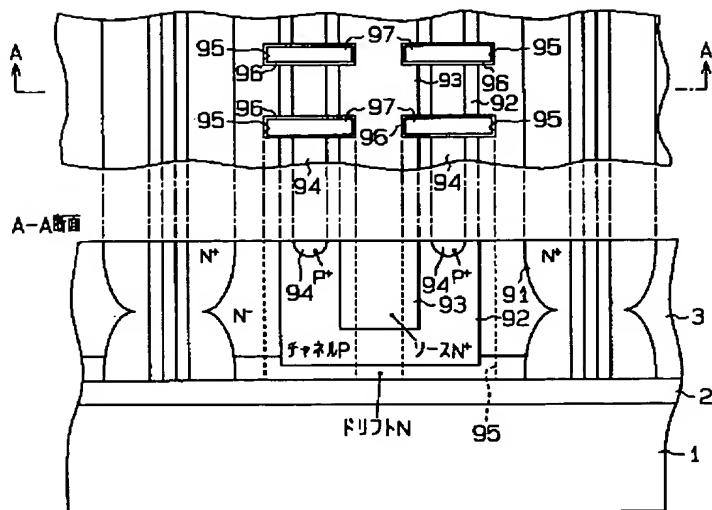
【図8】



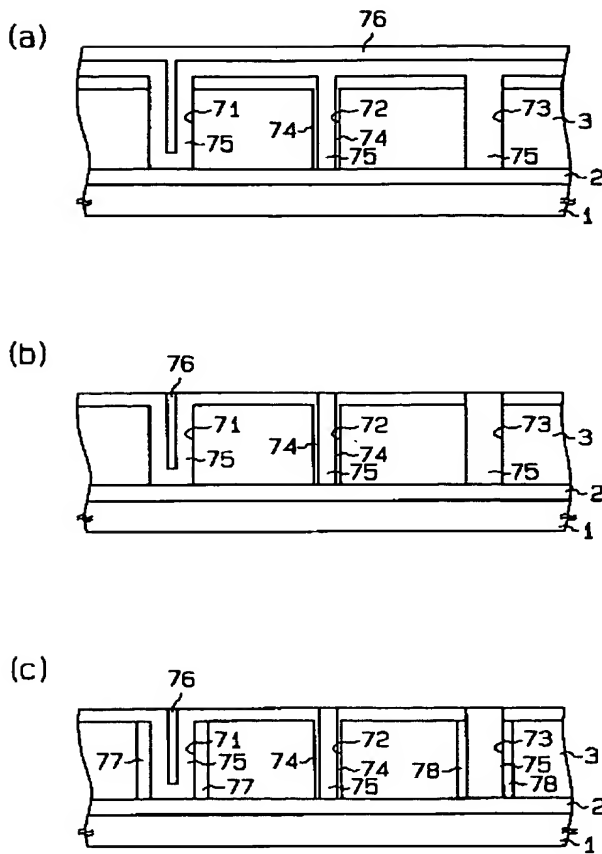
【図10】



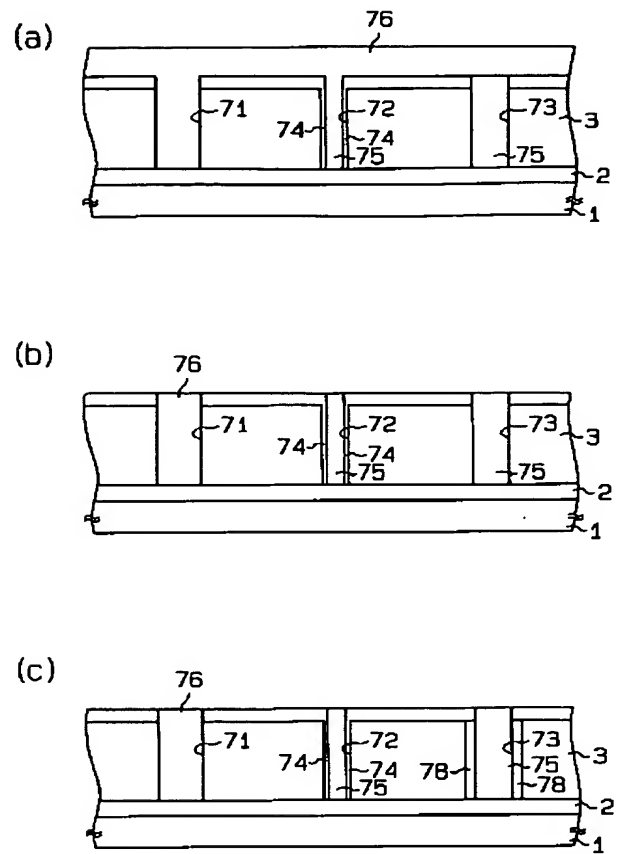
【図16】



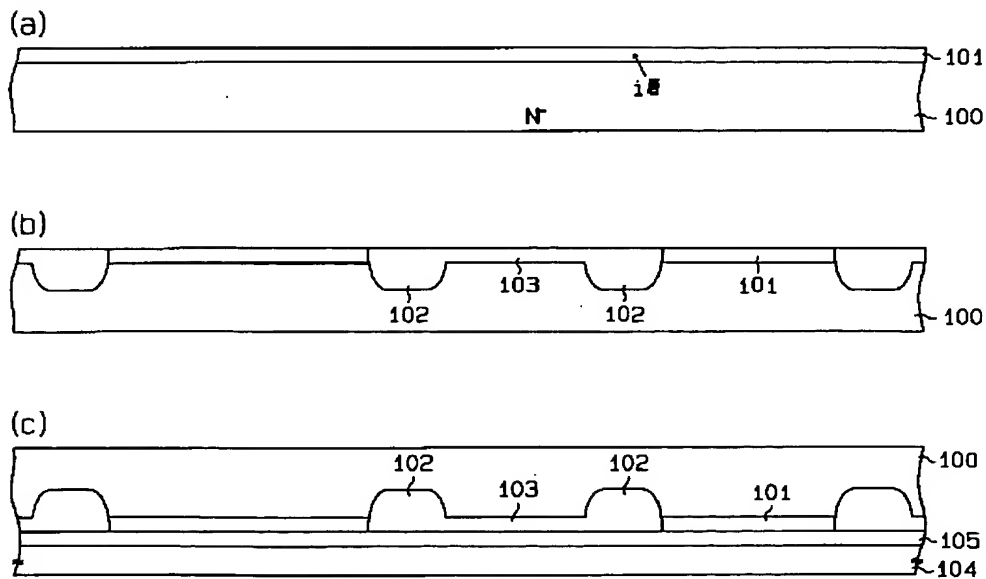
【図11】



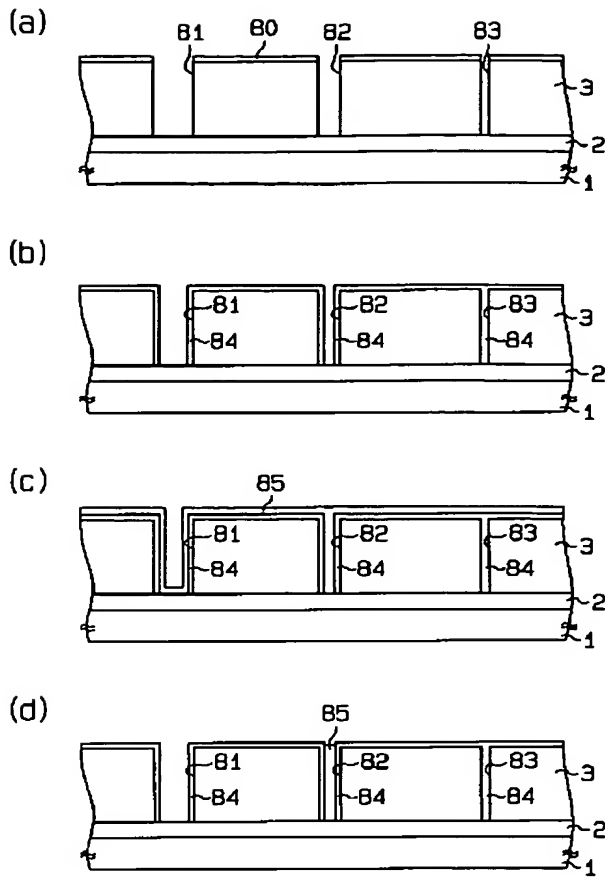
【図12】



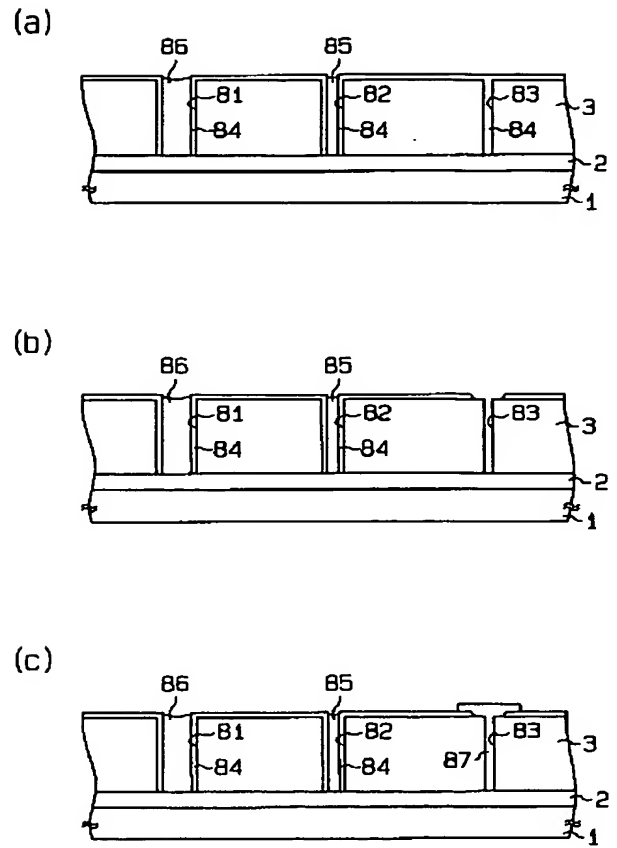
【図17】



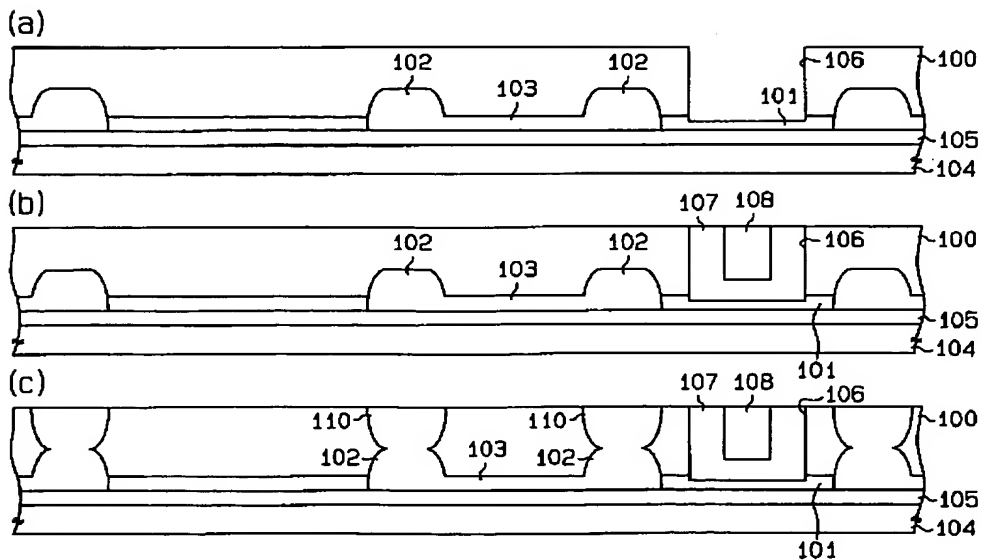
【図 13】



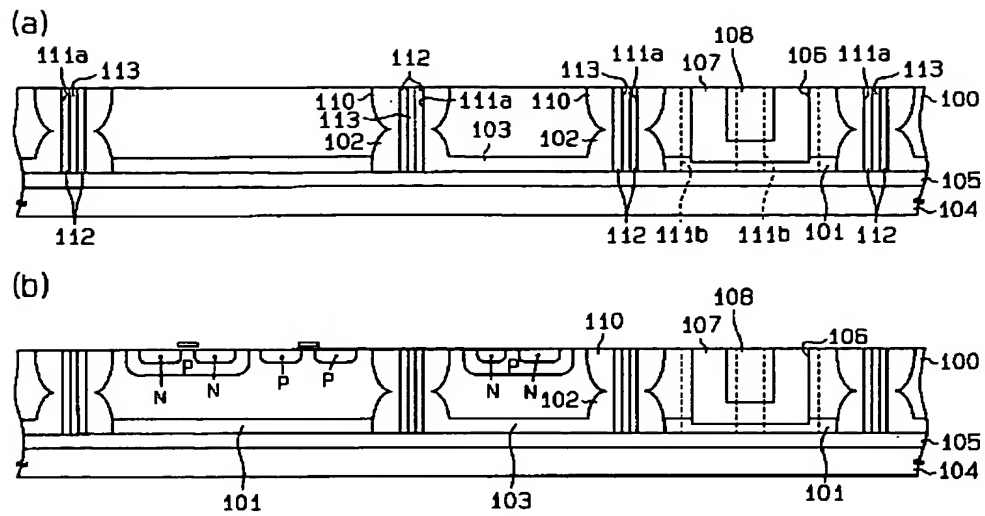
【図 14】



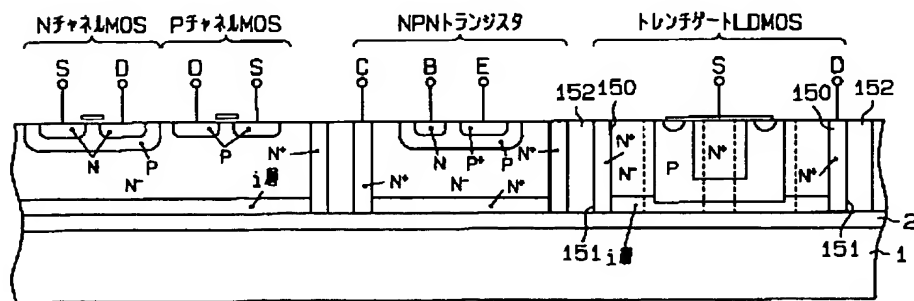
【図 18】



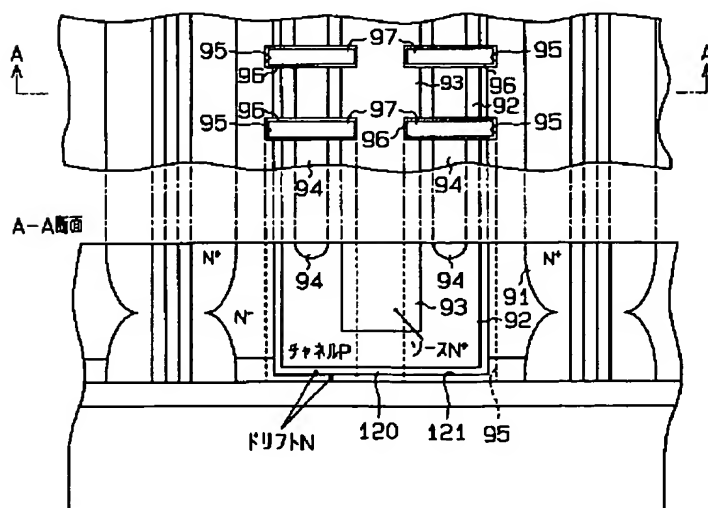
【図19】



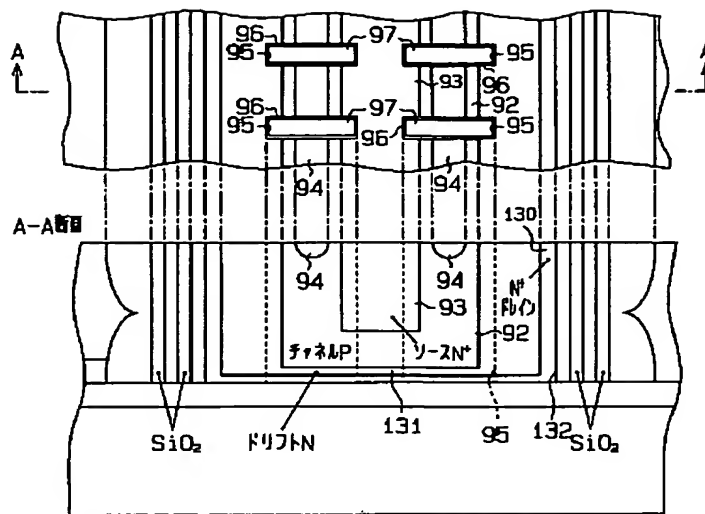
【図20】



【図21】



【図22】



フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	ターム(参考)
H 0 1 L 21/8249		H 0 1 L 29/78	6 1 3 A
27/06			6 2 0
27/08	3 3 1	21/76	L
		27/06	3 2 1 C
29/732			1 0 1 U
29/786		29/72	P
		21/76	D

(72) 発明者 野田 理崇  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

F ターム(参考) 5F003 AZ03 BA25 BA27 BC08 BJ15  
BP11  
5F032 AA01 AA35 AA45 AA47 CA03  
CA17 CA18 CA20 DA25 DA43  
DA47 DA53  
5F048 AA04 AA05 AA09 AC03 AC05  
AC06 BA10 BA16 BB05 BB19  
BB20 BC03 BE01 BE03 BG14  
CA03 CA04 CA07 DA06  
5F082 AA40 BA05 BA06 BA21 BA47  
BC09 CA06 EA12 EA14 EA15  
5F110 AA16 AA30 BB04 BB12 CC02  
CC10 DD05 DD13 EE09 EE22  
FF02 GG02 GG12 GG22 GG34  
GG52 GG53 HM12 NN62

This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images problems checked, please do not report the problems to the IFW Image Problem Mailbox**